Національний технічний університет України

«Київський політехнічний інститут імені Ігоря Сікорського»

Факультет інформатики та обчислювальної техніки

Кафедра обчислювальної техніки

Комп’ютерна схемотехніка – 1

Комп’ютерна схемотехніка

Лабораторна робота №1

# «ВИВЧЕННЯ СИСТЕМИ АВТОМАТИЗАЦІЇ ПРОЕКТУВАННЯ *QUARTUS* II. СТВОРЕННЯ ПРОЕКТУ»

Виконала:

студентка групи ІО-64

Бровченко А. В.

Залікова книжка № 6403

Номер у списку групи 3

Перевірив [доц. Верба О. А.](http://rozklad.kpi.ua/Schedules/ViewSchedule.aspx?v=3616fe25-c15f-4d3e-986b-deb3928e21b8)

Київ

2018 р.

**Мета:**

* Вивчення системи автоматизації проектування **Quartus II**. Отримання навиків створення проекту, вводу проекту в схемотехнічному режимі, роботи в графічному редакторі, створення мегафункцій.
* Вивчення особливостей функціональної побудови суматорів. Розроблення функціональної схеми суматора в САПР Quartus II.

Теоретичні відомості

Програмне середовище ***Quartus*® II** компанії ***Altera*®** є повною мультиплатформеною системою для автоматизації проектування (САПР), що містить набір інструментів для проектування цифрових пристроїв та систем на програмовному кристалі (*SOPC*). Середовище *Quartus* II включає в себе всі утиліти, необхідні для роботи з мікросхемами *FPGA* і *CPLD*. На рисунку 1.1 показані основні етапи проектування (*Design Flow*) в середовищі *Quartus* II.



Рис. 1.1. Етапи стандартного процесу проектування в САПР *Quartus* II



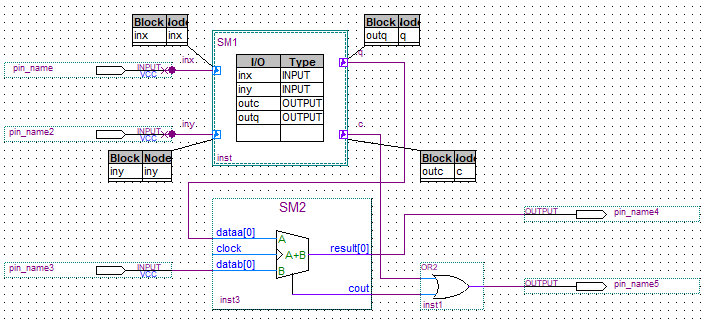
Рис. 1.2. Головне вікно середовища *Quartus* II.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| *Напівсуматором* називають комбінаційну схему, що реалізує функції *q* суми по mod*k* і переносу *с* при додаванні двох змінних.  Таблиця істинності напівсуматора наведена в табл. 1.3.  Таблиця 1.3  Таблиця істинності комбінаційного напівсуматора   |  |  |  |  | | --- | --- | --- | --- | | *x* | *y* | *q* | *c* | | 0 | 0 | 0 | 0 | | 1 | 0 | 1 | 0 | | 0 | 1 | 1 | 0 | | 1 | 1 | 0 | 1 |   Виходячи з таблиці істинності отримаємо наступні логічні вирази:    Повний однорозрядний суматор може бути побудований із двох напівсуматорів (рис. 1.10). Комбінаційна схема напівсуматора наведена на рис. 1.11.   |  |  | | --- | --- | |  |  | | Рис. 1.10. Функціональна схема повного однорозрядного суматора, побудованого на двох напівсуматорах | Рис. 1.11. Комбінаційна схема напівсуматора | |

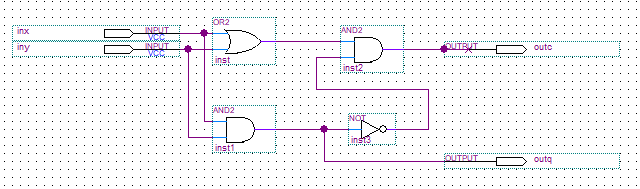
**Хід роботи**

Функціональна схема однорозрядного суматора в САПР ***Quartus* II**

(для побудови напівсуматора SM2 був використаний Mega Wizard)



Напівсуматор:



Висновок:

Отже, у даній лабораторній роботі я:

Ознайомилась з системою автоматизації проектування **Quartus II**;

Створила проект, використовуючи ввід проекту в схемотехнічному режимі, роботу в графічному редакторі, створення мегафункцій.

Розробила функціональну схему суматора в САПР **Quartus II**.

Національний технічний університет України

«Київський політехнічний інститут імені Ігоря Сікорського»

Факультет інформатики та обчислювальної техніки

Кафедра обчислювальної техніки

Комп’ютерна схемотехніка – 1

Комп’ютерна схемотехніка

Лабораторна робота №2

# «Компіляція проекту в САПР *Quartus* II. Аналіз результатів компіляції»

Виконала:

студентка групи ІО-64

Бровченко А. В.

Залікова книжка № 6403

Номер у списку групи 3

Перевірив [доц. Верба О. А.](http://rozklad.kpi.ua/Schedules/ViewSchedule.aspx?v=3616fe25-c15f-4d3e-986b-deb3928e21b8)

Київ

2018 р.

**Мета:**

* Вивчення процесу компіляції проектів в САПР Quartus II та отримання навиків аналізу результатів компіляції.
* Створення версій проектів в САПР Quartus II, порівняння результатів різних версій проектів.
* Вивчення різних способів введення проектів в САПР Quartus II.
* Отримання навиків роботи з редактором призначень.

**Хід роботи**

***Lab1\_SM***

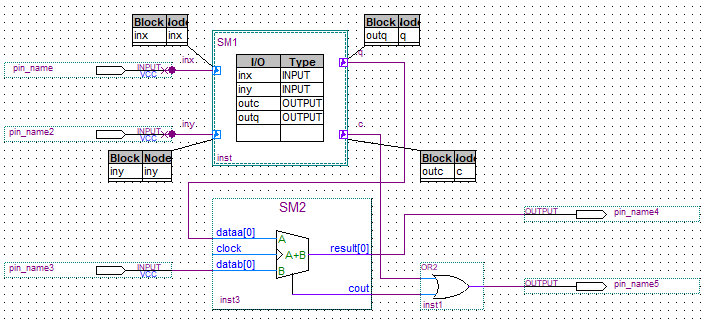


Рисунок 1 – Вихідна схема проекту ***Lab1\_SM***.

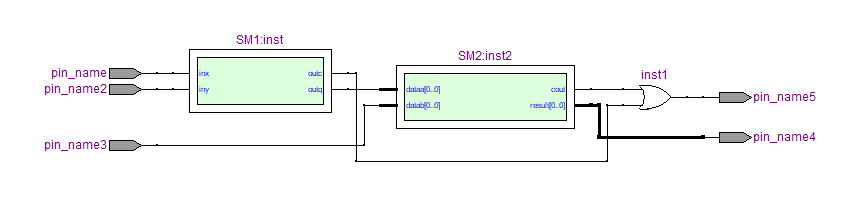


Рисунок 2 – Логічна реалізація проекту ***Lab1\_SM***.

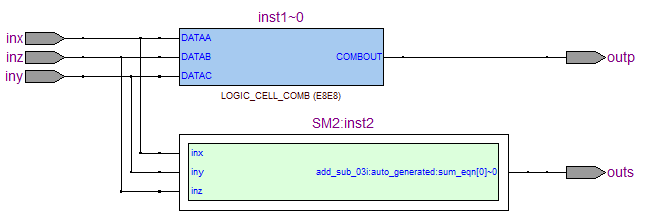


Рисунок 3 – Фізична реалізація проекту ***Lab1\_SM.***

Рисунок 4 – Фізична структура оптимізованого блоку напівсуматора в технологічному редакторі ***Technology Map Viewer.***

***Lab2\_SM\_v2***

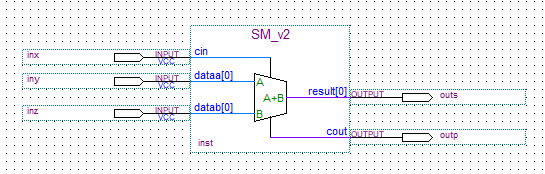


Рисунок 5 – Вихідна схема проекту ***Lab2\_SM\_v2***.

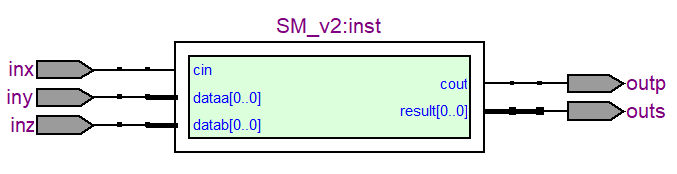


Рисунок 6 – Логічна реалізація проекту ***Lab2\_SM\_v2***.

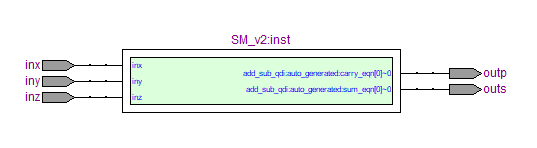


Рисунок 7 – Фізична реалізація проекту ***Lab2\_SM\_v2.***

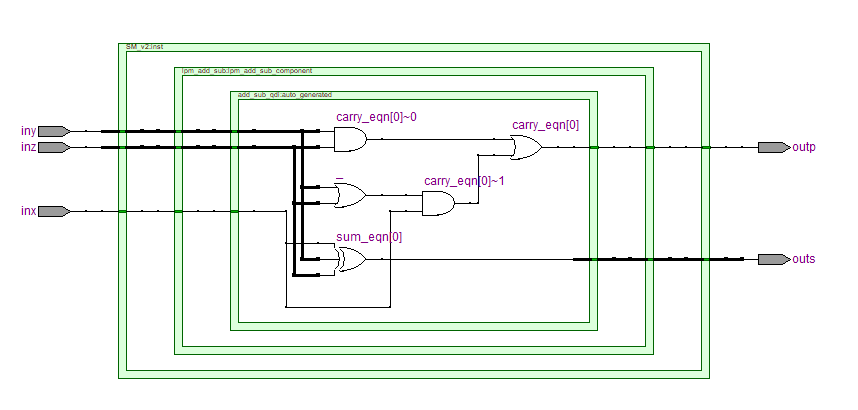


Рисунок 8 – Фізична структура оптимізованого блоку повного однорозрядного суматора в технологічному редакторі ***Technology Map Viewer***.

Таблиця 1

Аналіз звіту компілятора

|  |  |  |
| --- | --- | --- |
| **Звіти компілятора** | ***Lab1\_SM*** | ***Lab2\_SM\_v2*** |
| Total logic elements | 2 (<1%) | 2/4,608 (<1%) |
| Total register | 0 | 0 |
| Total memory bits | 0 | 0 (0%) |
| Embedded multiplier 9-bit elements | 0 | 0 (0%) |
| Total pins | 5 (3%) | 5 (3%) |
| SM2 | 1 Logic Cells | 2 Logic Cells |
| Actual Time | 9,813 ns |  |

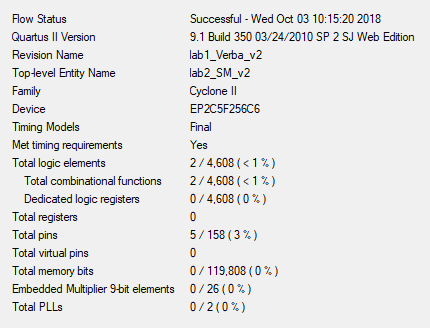
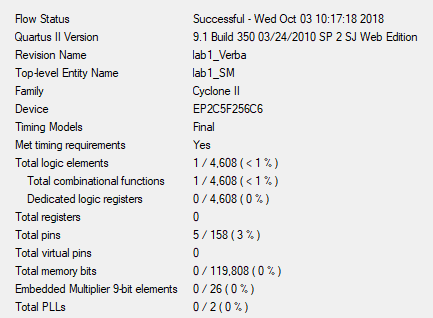
 

Рисунок 9 – Розділ ***Flow Summary*** звіту  
компілятора ***Compilation Report***

Аналіз швидкодії на підставі звіту компілятора ***Lab2\_SM\_v2***:

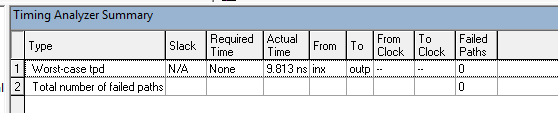


Рисунок 10 – Найдовший шлях проходження сигналу.

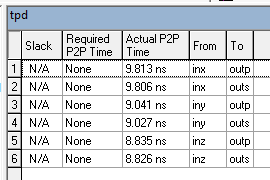


Рисунок 11 – Всі шляхи проходження сигналів.

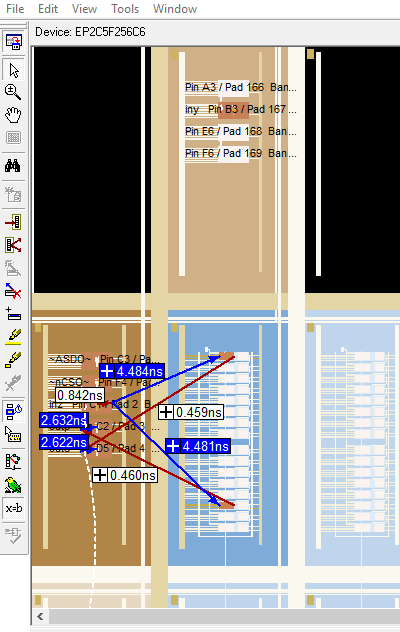


Рисунок 12 – Фрагмент кристалу.   
Вхідні і вихідні зв’язки в редакторі ***Chip*** ***Planner***

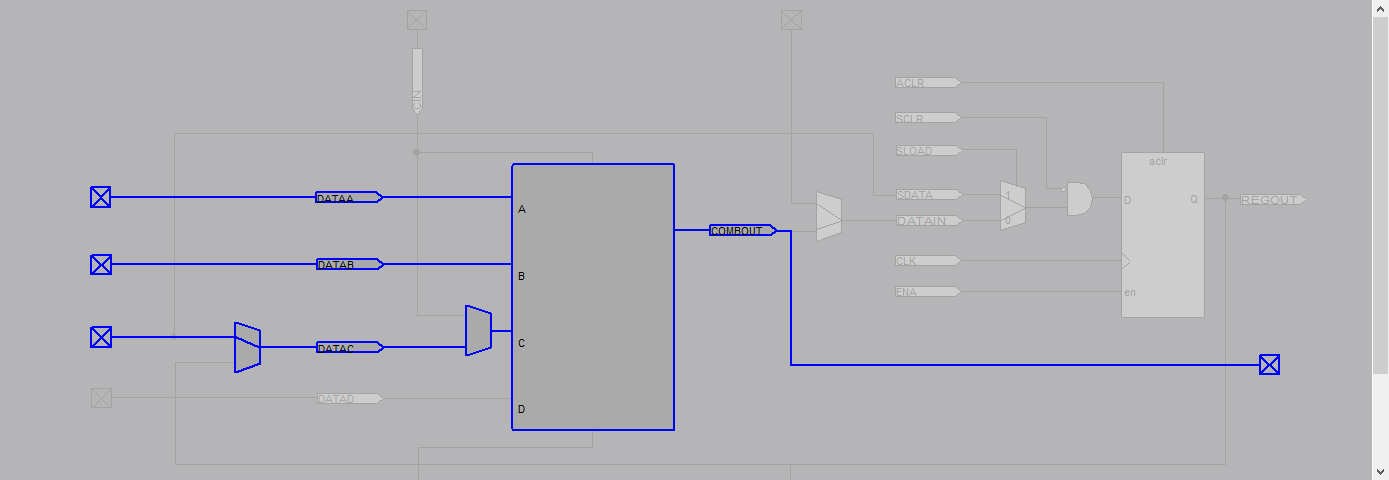


Рисунок 13 - Аналіз використаних ресурсів логічних комірок у редакторі ресурсів ***Resource Property Editor***

Висновок:

Отже, у даній лабораторній роботі я:

Ознайомилась з процесом компіляції проектів в САПР Quartus II*.*

Створила другу версію проекту lab1\_SM і порівняла результати версій проектів.

Ознайомилась з різними способами введення проектів в САПР Quartus II.